

## ПРЕДИСЛОВИЕ

Это издание предназначается, главным образом, для инженеров-разработчиков в качестве справочного руководства. Как можно понять уже из названия, место этого технического руководства как на книжной полке в кабинете, так и непосредственно в лаборатории. Издание дает целостное понятие о том, что такое цифровой сигнальный процессор, и может оказаться полезным как для технически неподготовленного читателя, так и для экспертов, специалистов по маркетингу и инженеров общего профиля.

Рассматриваемые вопросы не ограничиваются характеристиками архитектуры семейства цифровых сигнальных процессоров, облегчающими реализацию операций обработки сигналов и программирование. Во вступлении, прежде всего, подчеркивается, что цифровая обработка сигналов завоевывает все большее признание во всех отраслях науки, техники и промышленности. В первых трех главах книги дается детальное описание отдельных вычислительных устройств, входящих в состав процессора, правил управления программой и способов передачи данных. Кроме технического описания отдельных устройств, в данном руководстве содержится вся необходимая информация для проектирования аппаратного обеспечения с использованием процессоров семейства ADSP-2100. В руководстве включен полный справочный материал по программированию этих процессоров.

В приложении к "Руководству пользователя процессорами семейства ADSP-2100" приведено описание набора команд и цоколевки выводов микросхем. Математические вопросы затрагиваются в приложениях, посвященных правилам исключения при операции деления и форматам данных, а также в главе, посвященной вычислительным устройствам. Очень трудные для запоминания 16-ричные шаблоны разрядов регистров управления процессора показаны максимально наглядным образом в самом конце книги.

На момент публикации (начало 1996 года) этого руководства семейство ADSP-2100 включало следующие процессоры: **ADSP-2101, ADSP-2103, ADSP-2105, ADSP-2111, ADSP-2115, ADSP-2161/62/63/64/65/66, ADSP-2171/72/73, ADSP-2181/83 и ADSP-21msp58/59.** В последние годы были выпущены новые микросхемы семейства **ADSP-218x (ADSP-2185/85L/86/86L/87/87L)**, имеющие ту же структуру и семейство команд, как и у процессоров **ADSP-2181/83**, но отличающиеся объемом внутренней памяти (как программ, так и данных) и небольшими структурными изменениями в построении портов прямого доступа к внутренней памяти. В 1999 году планируется дальнейшее расширение семейства моделями **ADSP-2184/84L/89M.**

За текущей информацией и материалами о новых разработках изделий обращайтесь: Analog Devices DSP Marketing (617) 461-3881, или к официальному дистрибьютеру на территории бывшего СССР, ЗАО «АРГУССОФТ Компани» – 129085, Москва, пр.Мира 95, тел./факс (095)-216-6642.

## ОТ АВТОРОВ ПЕРЕВОДА

Настоящее издание было подготовлено на основе оригинальных материалов, предоставленных в наше распоряжение фирмой Analog Devices в рамках программы сотрудничества. Оригинальное издание *ADSP-2100 Family User Manual* было переведено на русский язык с учетом последних разработок в этой области. В подготовке и корректировке этого издания приняли участие ведущие специалисты Санкт-Петербургского государственного электротехнического университета совместно с сотрудниками Научно-исследовательского института радиоэлектронных систем прогнозирования чрезвычайных ситуаций. Коллектив авторов выражает благодарность официальному дистрибьютеру Analog Devices фирме Аргусофт (г. Москва) за содействие в подготовке данного издания. Все рисунки и схемы соответствуют оригинальному изданию. Так как русскоязычная терминология в области не совсем устоялась, в ходе перевода нам неоднократно пришлось непосредственно заимствовать или калькировать оригинальные английские термины. Поэтому мы будем рады любым замечаниям и пожеланиям, которые могут возникнуть у читателей и постараемся учесть их в последующих изданиях. Их можно направлять по адресу: 197376, Санкт-Петербург, ул. проф. Попова, 5. Санкт-Петербургский государственный электротехнический университет, Центр ЦСП, т. (812) 234-08-42 (доп. 39), e-mail [dspc@freya.etu.ru](mailto:dspc@freya.etu.ru) .

# ВВЕДЕНИЕ 1

## 1.1 ОБЗОР

Семейство ADSP-2100 представляет собой ряд программируемых процессоров и микрокомпьютеров на одном кристалле, которые объединяет общая базовая архитектура, оптимизированная для цифровой обработки сигналов и других операций в области высокоскоростной обработки цифровых данных. Отличие различных процессоров семейства друг от друга заключается в числе и виде дополнений к базовой архитектуре, а именно: внутренней памяти на кристалле, таймере, последовательных и параллельных портов. Кроме того, процессоры ADSP-21msp58/59 имеют на кристалле аналоговый интерфейс для обработки смешанных аналоговых/цифровых сигналов.

В руководстве представлена вся информация, необходимая, чтобы на основании сравнения базовой архитектуры различных процессоров семейства определить, какой из них наиболее соответствует задачам конкретного применения. Вместе с техническими описаниями отдельных устройств это руководство обеспечивает пользователя всей необходимой информацией при проектировании устройств на основе процессоров семейства ADSP-2100. В руководство включен полный справочный материал по программированию процессоров.

### 1.1.1 Функциональные устройства

В таблице 1.1 на следующей странице перечислены все главные функциональные устройства, входящие в базовую архитектуру семейства ADSP-2100, и отмечено, какие из них входят в состав каждого из выпускаемых на сегодняшний день процессоров.

- *Вычислительные устройства* - Каждый процессор семейства содержит три независимых вычислительных устройства с полным набором функциональных возможностей: арифметико-логическое устройство (АЛУ), умножитель-накопитель (умножитель) и устройство (циклического) сдвига. Вычислительные устройства обрабатывают данные разрядностью 16 бит и поддерживают вычисления с повышенной точностью.
- *Генераторы адреса данных и программный автомат* - Два генератора адреса данных и программный автомат генерируют адреса для доступа к памяти на кристалле или внешней памяти. Программный автомат поддерживает команды условного перехода за один цикл и организует выполнение циклов программы с нулевыми затратами ресурсов. Два генератора адреса данных позволяют

# 1 ВВЕДЕНИЕ

Таблица 1.1

**Функциональные устройства семейства ADSP-2100  
(модели, не рекомендованные в новые разработки)**

Функциональные устройства	2101	2103	2105	2115	2111	2171	2173	21msp58
Арифметико-логическое устройство	⊕	⊕	⊕	⊕	⊕	⊕	⊕	⊕
Умножитель-накопитель	⊕	⊕	⊕	⊕	⊕	⊕	⊕	⊕
Устройство сдвига	⊕	⊕	⊕	⊕	⊕	⊕	⊕	⊕
2 генератора адреса данных	⊕	⊕	⊕	⊕	⊕	⊕	⊕	⊕
Программный автомат	⊕	⊕	⊕	⊕	⊕	⊕	⊕	⊕
ОЗУ памяти данных (слов)	1К	1К	512	512	1К	2К	2К	2К
ОЗУ памяти программы (слов)	2К	2К	1К	1К	2К	2К	2К	2К
Таймер	⊕	⊕	⊕	⊕	⊕	⊕	⊕	⊕
Последовательный порт 0 (многоканальный режим)	⊕	⊕	–	⊕	⊕	⊕	⊕	⊕
Последовательный порт 1	⊕	⊕	⊕	⊕	⊕	⊕	⊕	⊕
Порт интерфейса хост-машины	–	–	–	–	⊕	⊕	⊕	⊕
Порт прямого доступа к памяти	–	–	–	–	–	–	–	–
Аналоговый интерфейс	–	–	–	–	–	–	–	⊕
Напряжение питания	5В	3,3В	5В	5В	5В	5В	3,3В	5В
Быстродействие (миллионов команд в секунду)	20	10	20	20	20	33	20	26

одновременно генерировать адреса для выборок двух операндов. Программный автомат и генератор адреса данных обеспечивают постоянную загрузку вычислительных устройств, максимизируя, таким образом, их производительность.

- *Память* - В семействе ADSP-2100 используется модифицированная гарвардская архитектура, при которой данные хранятся в памяти данных, а память программы содержит как команды, так и данные. Все процессоры семейства ADSP-2100 имеют ОЗУ на кристалле, которое включает часть пространства памяти программы и часть пространства памяти данных. Быстродействие памяти на кристалле позволяет процессору выбирать два операнда (один - из памяти данных, и один - из памяти программы) и команду (из памяти программы) за один цикл.

- *Последовательные порты* - Последовательные порты обеспечивают полное сопряжение с аппаратными средствами реализации компандирования. Поддерживается компандирование и с А-, и с  $\mu$ -характеристикой. Порты непосредственно сопрягаются со многими типами последовательных устройств. Каждый порт может генерировать программируемые внутренние тактовые синхроимпульсы или принимать внешние тактовые синхроимпульсы.

- *Таймер* - Программируемый таймер/счетчик с предварительным делителем частоты разрядностью 8 бит обеспечивает генерацию периодических прерываний.

## ВВЕДЕНИЕ 1

Таблица 1.2

**Функциональные устройства семейства ADSP-2100  
(модели, рекомендованные в новые разработки)**

Функциональные устройства	2104	2104L	2181	2183	2185	2185L	2186	2186L	2187	2187L
Арифметико-логическое устройство	⊕	⊕	⊕	⊕	⊕	⊕	⊕	⊕	⊕	⊕
Умножитель-накопитель	⊕	⊕	⊕	⊕	⊕	⊕	⊕	⊕	⊕	⊕
Устройство сдвига	⊕	⊕	⊕	⊕	⊕	⊕	⊕	⊕	⊕	⊕
2 генератора адреса данных	⊕	⊕	⊕	⊕	⊕	⊕	⊕	⊕	⊕	⊕
Программный автомат	⊕	⊕	⊕	⊕	⊕	⊕	⊕	⊕	⊕	⊕
ОЗУ памяти данных (слов)	256	256	16К	16К	16К	16К	8К	8К	32К	32К
ОЗУ памяти программы (слов)	512	512	16К	16К	16К	16К	8К	8К	32К	32К
Таймер	⊕	⊕	⊕	⊕	⊕	⊕	⊕	⊕	⊕	⊕
Последовательный порт 0 (многоканальный режим)	⊕	⊕	⊕	⊕	⊕	⊕	⊕	⊕	⊕	⊕
Последовательный порт 1	⊕	⊕	⊕	⊕	⊕	⊕	⊕	⊕	⊕	⊕
Порт интерфейса хост-машины	-	-	-	-	-	-	-	-	-	-
Порт прямого доступа к памяти	-	-	⊕	⊕	⊕	⊕	⊕	⊕	⊕	⊕
Аналоговый интерфейс	-	-	-	-	-	-	-	-	-	-
Напряжение питания	5В	3.3В	5В	3,3В	5В	3.3В	5В	3.3В	5В	3.3В
Быстродействие (миллионов команд в секунду)	20	12.5	40	52	40	52	40	52	40	52

- *Порт интерфейса хост-машины* - Порт интерфейса хост-машины обеспечивает прямое соединение (без буферных логических схем) с хост-процессором. Порт интерфейса хост-машины имеет 16 выводов для данных и 11 управляющих выводов. Порт интерфейса хост-машины - чрезвычайно гибкое устройство, у которого есть возможности, позволяющие осуществлять простое сопряжение с множеством хост-процессоров. Например, процессоры Motorola 68000, Intel 8051, или другие процессоры семейства ADSP-2100 легко подсоединяются к порту интерфейса хост-машины.

- *Порты прямого доступа к памяти* - Имеющиеся в процессоре ADSP-2181 порт прямого доступа к внутренней памяти (IDMA) и порт прямого побайтового доступа к памяти (BDMA) обеспечивают эффективную передачу данных в и из внутренней памяти. Внутренний порт доступа к памяти имеет 16-разрядную мультиплексированную шину адреса и данных и поддерживает работу с 24-разрядной памятью программы. Запись данных в этот порт осуществляется асинхронно и не влияет на быстродействие процессора ADSP-2181. Порт прямого доступа к памяти с байтовой организацией позволяет осуществлять начальную загрузку и хранение данных и команд программы.

- *Аналоговый интерфейс* - Некоторые процессоры семейства имеют на кристалле средства поддержки обработки смешанных аналоговых/цифровых сигналов. Эти средства включают аналогово-цифровой преобразователь (АЦП), цифро-

# 1 ВВЕДЕНИЕ

аналоговый преобразователь (ЦАП), аналоговые и цифровые фильтры и средства параллельного сопряжения с базовой архитектурой процессора. Преобразователи используют сигма-дельта модуляцию для получения выборки из сигнала с избыточной дискретизацией.

Архитектура процессоров семейства ADSP-2100 имеет высокую степень параллелизма, отвечающую требованиям цифровой обработки сигналов. За один цикл любой процессор семейства может:

- Сгенерировать новый программный адрес.
- Выбрать следующую команду.
- Выполнить одну или две операции пересылки данных.
- Обновить один или два указателя адреса данных
- Выполнить вычисление.

В течение одного и того же цикла процессоры, имеющие соответствующие функциональные устройства, могут:

- Принять и/или передать данные через последовательный(ые) порт(ы).
- Принять и/или передать данные через порт интерфейса хост-машины.
- Принять и/или передать данные через аналоговый интерфейс.
- Принять и/или передать данные через DMA порты.

## 1.1.2 Интерфейс системы и памяти

В каждом процессоре семейства ADSP-2100 внутренняя память соединяется с другими функциональными устройствами посредством четырех расположенных на кристалле шин: шины адреса памяти данных, шины данных памяти данных, шины адреса памяти программы и шины данных памяти программы. Одна внешняя шина адреса и одна внешняя шина данных выводятся вне кристалла; эти шины могут использоваться для доступа либо к памяти программы, либо к памяти данных.

Внешние устройства могут управлять шинами, формируя сигналы запроса/предоставления шины ( $\overline{BR}$  и  $\overline{BG}$ ). Процессоры семейства ADSP-2100 могут продолжать работу, даже если шины предоставлены другому устройству управления, до тех пор, пока не потребуются операции с внешней памятью.

Все процессоры семейства поддерживают отображенные в карте памяти периферийные устройства при помощи генерации программируемых состояний ожидания.

Цепь загрузки обеспечивает автоматическую загрузку памяти программы на кристалле после запуска. Это может быть сделано или через интерфейс памяти с одного СППЗУ, или через порт интерфейса хост-машины с хост-процессора, или через порт прямого побайтового доступа к памяти процессора ADSP-2181. Многочисленные программы могут быть отображены и загружены без каких-либо дополнительных аппаратных средств.

## ВВЕДЕНИЕ 1

Процессоры семейства ADSP-2100 отличаются по их ответу на прерывания, инициированные пользователем. Во всех случаях программный автомат позволяет процессору обработать прерывание с минимальной задержкой. Прерывания могут быть расположены в порядке их приоритета без дополнительной задержки. Внешние прерывания могут быть настроены на срабатывание по фронту или по уровню. Внутренние прерывания могут генерироваться таймером, портом интерфейса хост-машины, последовательными портами и портом прямого побайтового доступа к памяти.

### 1.1.3 Набор команд

Семейство ADSP-2100 имеет унифицированный единый набор команд, постепенно расширяющийся сверху вниз с увеличением степени интеграции. Процессоры ADSP-2171, ADSP-2181 и ADSP-21msp58/59 имеют ряд дополнительных и усовершенствованных команд.

Набор команд семейства ADSP-2100 обеспечивает гибкость в пересылке данных. Многофункциональные команды соединяют одну или более пересылки данных с вычислениями. Каждая команда может быть выполнена за один цикл процессора. В языке ассемблер для читаемости и легкости кодирования используется алгебраический синтаксис. Имеется набор программных и аппаратных средств, обеспечивающих отладку программы.

### 1.1.4 Рабочие характеристики цифровых сигнальных процессоров

Из-за высоких требований, обусловленных специфическими областями применения сигнальных процессоров, их архитектура и рабочие характеристики отличаются от архитектуры других микропроцессоров и микроконтроллеров. Кроме высокой скорости выполнения команд, цифровой сигнальный процессор должен обладать следующими свойствами:

- *Способность быстрого и гибкого выполнения арифметических операций* - Базовая архитектура семейства ADSP-2100 обеспечивает вычисление за один цикл операций умножения, умножения с накоплением, произвольной величины сдвига и стандартных арифметико-логических операций. Кроме того, арифметические устройства позволяют осуществлять вычисления в любой последовательности, поэтому не требуется дополнительно модифицировать алгоритм цифровой обработки сигнала.
- *Расширенный динамический диапазон* - Большие суммарные результаты, типичные в цифровой обработке сигналов, аппаратно поддерживаются в умножителе-накопителе процессоров семейства ADSP-2100. Сумматор разрядностью в 40 бит обеспечивает восемь бит защиты от переполнения при последовательном сложении, и тем самым гарантирует, что не произойдет ни потери данных, ни их диапазона; чтобы произошла потеря старшего разряда,

# 1 ВВЕДЕНИЕ

требуется 256 переполнений. Имеются специальные команды для выполнения масштабирования данных с блочной плавающей точкой.

- *Возможность выбора двух операндов за один цикл* - Для обеспечения вычислений с расширенными суммарными результатами требуется два операнда в каждом цикле. Все члены семейства ADSP-2100 способны поддерживать выполнение двух операндов данных, независимо от того, хранятся ли данные на или вне кристалла.
- *Аппаратная поддержка циклических буферов* - Для целого класса алгоритмов цифровой обработки сигналов, включая фильтры, требуется реализация циклических буферов. Базовая архитектура процессоров семейства ADSP-2100 включает аппаратное обеспечение циклического возврата указателя адреса, упрощая использование циклических буферов в памяти как на, так и вне кристалла и сокращая потери на их организацию (и, следовательно, увеличивая производительность).
- *Организация циклов и условных переходов с нулевыми потерями времени* - Алгоритмы цифровой обработки сигналов содержат повторы и в большинстве своем выражаются логически как циклы. Программный автомат в процессорах семейства ADSP-2100 поддерживает код цикла с нулевыми потерями, обеспечивая одновременно отличные рабочие характеристики и ясную структуру программы. Подобным же образом, без потерь ресурсов, организуются условные переходы.

## 1.2 БАЗОВАЯ АРХИТЕКТУРА

В этом разделе описывается базовая архитектура процессоров семейства ADSP-2100, показанная на рис. 1.1.

Каждый элемент базовой архитектуры детально описан в указанных ниже главах настоящего издания:

<i>Элемент</i>	<i>Глава</i>
Арифметико-логическое устройство	2
Умножитель-накопитель	2
Устройство сдвига	2
Программный автомат	3
Регистры и стеки состояния	3
Два генератора адреса данных	4
Устройство обмена данных между шинами данных памяти программы и памяти данных	4



## ВВЕДЕНИЕ 1

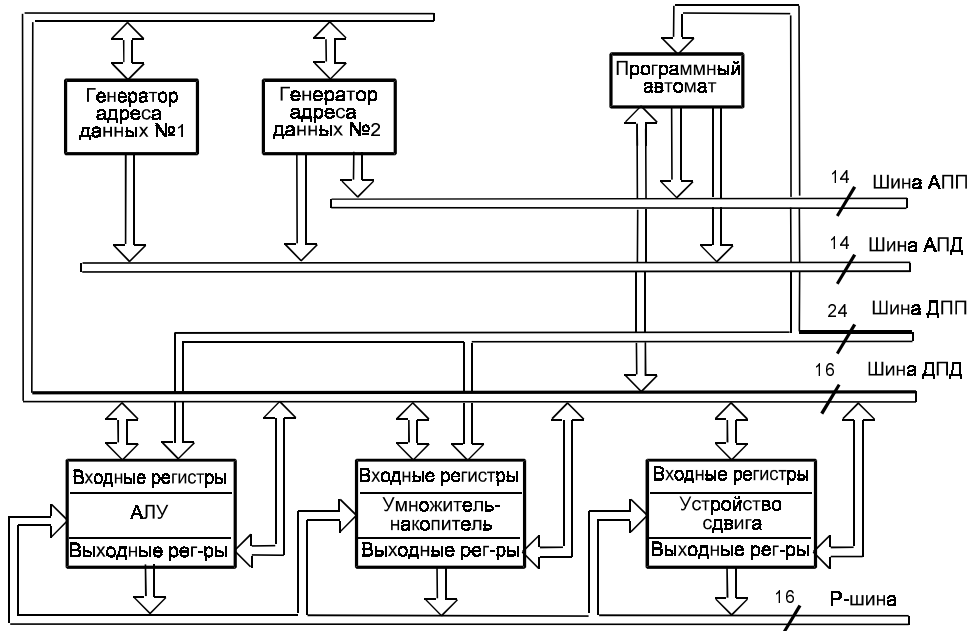


Рис. 1.1 Базовая архитектура

### 1.2.1 Вычислительные устройства

Каждый процессор семейства ADSP-2100 содержит три независимых вычислительных устройства с полным набором функциональных возможностей: арифметико-логическое устройство (АЛУ), умножитель-накопитель (умножитель) и устройство циклического сдвига. Вычислительные устройства обрабатывают данные разрядностью в 16 бит и поддерживают вычисления с повышенной точностью.

В АЛУ выполняются стандартные арифметические и логические операции и примитивы деления. В умножителе за один машинный цикл выполняются операции умножения, умножения/сложения и умножения/вычитания. Устройство сдвига выполняет операции арифметического и логического сдвига, нормализации, денормализации и нахождения порядка числа. Устройство сдвига осуществляет управление числовыми форматами, включая представления чисел, состоящих из нескольких слов, числами с плавающей точкой. Вычислительные устройства соединяются таким образом, что выход любого из этих устройств может быть входом в любое из этих устройств в следующем цикле. Для этого служит внутренняя шина результатов (Р шина) напрямую соединяющая вычислительные устройства.

## 1 ВВЕДЕНИЕ

Все три вычислительных устройства содержат регистры ввода и вывода, доступные по шине данных памяти данных (ДПД). Вычислительные устройства, как правило, берут операнды из регистров ввода и загружают результат в регистры вывода. Эти регистры являются буферами между памятью и вычислительными устройствами. Благодаря этому вводится один уровень конвейерной обработки при вводе и один уровень - при выводе. Р шина позволяет использовать результат одного вычисления напрямую в качестве входного значения для другого вычисления. Это позволяет избежать задержки конвейерной обработки при выполнении серии различных вычислений.

### 1.2.2 Генераторы адреса и программный автомат

Два специальных генератора адреса данных и программный автомат обеспечивают работу вычислительных регистров с максимальной производительностью. Генераторы адреса данных генерируют адреса памяти, когда данные памяти пересылаются в или из регистров ввода или вывода. Каждый генератор адреса сохраняет до четырех указателей адреса. Когда указатель используется для косвенной адресации, он модифицируется на величину, содержащуюся в заданном регистре. Имея два генератора адреса данных, процессор может одновременно генерировать два адреса для выборок двух операндов.

Каждому указателю может соответствовать значение длины буфера для реализации адресации по модулю при организации циклических буферов. (Свойство циклического буфера также используется в последовательных портах и аналоговом интерфейсе для автоматических передач данных. За дополнительной информацией обратитесь к главе о последовательных портах).

Генератор адреса данных 1 может генерировать адреса только для памяти данных. Генератор адреса данных 2 может генерировать адреса либо для памяти данных, либо для памяти программы. При установке бита соответствующего режима в регистре состояния режима (MSTAT) биты выходного адреса генератора адреса данных 1 переставляются в обратном порядке перед их выводом на шину адреса. Это свойство облегчает организацию бит-реверсной адресации при выполнении быстрого преобразования Фурье (БПФ).

Программный автомат посылает адреса команд в память программы. Программный автомат управляется регистром команд, в котором содержится текущая выполняемая команда. Регистр команд позволяет ввести один уровень конвейерной обработки в поток программы. Команды выбираются и загружаются в регистр команд за один цикл процессора и выполняются в течении следующего цикла, в то время как подготавливается выбор следующей команды. Для сокращения количества холостых циклов программный автомат осуществляет поддержку условных переходов, вызовов подпрограмм и возврата в основную программу за один цикл. Благодаря счетчику циклов и стеку цикла процессор

## ВВЕДЕНИЕ 1

выполняет программу цикла с нулевыми потерями. Никаких дополнительных команд перехода для организации циклов не требуется.

### 1.2.3 Шины

Внутренние элементы процессора связаны пятью внутренними шинами. Шины адреса памяти программы (АПП) и данных (АПД) используются для адресов, связанных с памятью программы и памятью данных. Шины данных памяти программы (ДПП) и памяти данных (ДПД) используются для передачи данных и кода команд из памяти данных и памяти программы. Все шины мультиплексированы в одну внешнюю шину адреса и в одну внешнюю шину данных; сигналы  $\overline{BMS}$ ,  $\overline{DMS}$  и  $\overline{PMS}$  выбирают различные адресные пространства. По P-шине промежуточные результаты напрямую передаются между вычислительными устройствами.

Шина АПП разрядностью 14 бит обеспечивает прямую адресацию до 16К слов смешанного кода программы и данных. Шина ДПП разрядностью 24 бита позволяет передавать 24-битовые команды.

Шина АПД разрядностью 14 бит обеспечивает прямую адресацию до 16К слов данных. Шина ДПД имеет разрядность 16 бит. Шина ДПД обеспечивает передачу содержимого любого регистра в процессор для дальнейшей его передачи в любой другой регистр или любую ячейку памяти за один цикл. Адрес памяти программы может иметь два источника: абсолютное значение, заданное в коде команды (прямая адресация) и значение на выходе генератора адреса данных (косвенная адресация). Только косвенная адресация поддерживается для выборок данных из памяти программы.

Шина ДПП может также использоваться для передачи данных в и из вычислительных устройств напрямую или через устройство обмена данными между шинами ДПП и ДПД. Устройство обмена данными между шинами ДПП и ДПД позволяет согласовывать прохождение данных из одной шины в другую. Оно содержит аппаратные средства для преодоления разницы в 8 бит между разрядностью этих двух шин.

## 1.3 ДРУГИЕ УСТРОЙСТВА НА КРИСТАЛЛЕ

В этом разделе описываются дополнительные функциональные устройства, которые могут входить в состав процессоров семейства ADSP-2100.

### 1.3.1 Последовательные порты

Большинство процессоров семейства имеют один или два двунаправленных последовательных порта с двойной буферизацией для последовательной связи. Последовательные порты синхронны и используют синхронизирующие сигналы для управления потоком данных. Каждый

## **1 ВВЕДЕНИЕ**

последовательный порт может генерировать внутренние тактовые импульсы или использовать внешние. Синхронизирующие сигналы могут генерироваться внутренним или внешним устройством. Длины слов могут варьироваться от 3 до 16 бит. Один последовательный порт (SPORT0) обладает многоканальностью, что позволяет осуществлять прием и передачу дополнительных слов данных из потока данных с 24- или 32-разрядными словами. Второй последовательный порт, SPORT1, может быть по желанию сконфигурирован как два дополнительных вывода внешних прерываний (IRQ1, IRQ0) и выход флага "Flag Out" (FO) и вход флага "Flag In" (FI).

### **1.3.2 Таймер**

Таймер с программируемыми интервалами обеспечивает генерацию периодических прерываний. 8-разрядный регистр предварительного деления позволяет осуществлять декрементирование регистра счетчика разрядностью 16 бит через число циклов от 1 до 256. Прерывание генерируется, когда регистр счетчика достигает 0. Регистр счетчика перезагружается из 16-битового регистра периода, и таймер возобновляет свою работу.

### **1.3.3 Порт интерфейса хост-машины (ADSP-2111, ADSP-2171, ADSP-21msp5x)**

Порт интерфейса хост-машины (ХИП) - это параллельный порт ввода/вывода, который позволяет легко соединять процессор с хост-процессором. Процессоры семейства ADSP-2100 могут подсоединяться через ХИП и отображаться в карте памяти хост-машины как периферийные устройства. ХИП функционирует параллельно и асинхронно с базовой архитектурой процессоров семейства ADSP-2100. Порт интерфейса хост-машины состоит из регистров, через которые процессор семейства ADSP-2100 и хост-машина обмениваются данными и информацией о состоянии. ХИП может быть сконфигурирован для шины данных разрядностью 8 или 16 бит; мультиплексированной шины адреса/данных или отдельных шин адреса и данных; отдельных стробирующих сигналов записи и считывания или стробирующего сигнала записи/считывания и стробирующего сигнала данных.

### **1.3.4 Порты прямого доступа к памяти (ADSP-218x)**

Процессор ADSP-2181 имеет два порта прямого доступа к памяти: порт прямого доступа ко внутренней памяти (IDMA) и порт прямого побайтового доступа к памяти (BDMA). Порт прямого доступа ко внутренней памяти является эффективным средством обмена данными между главной вычислительной системой и цифровым сигнальным процессором. Этот порт используется для

## ВВЕДЕНИЕ 1

доступа ко внутренней памяти программы и памяти данных цифрового сигнального процессора с потерями в один цикл за переданное слово. Порт IDMA имеет мультиплексированную шину адреса и данных разрядностью 16 бит и поддерживает работу с 24-разрядной памятью программы. Запись данных в порт IDMA осуществляется асинхронно и не влияет на быстродействие процессора.

Адрес внутренней памяти фиксируется и затем автоматически увеличивается на единицу после каждой передачи данных порта IDMA. Таким образом, внешнее устройство может получить доступ к группе ячеек памяти с последовательными адресами, задав только один начальный адрес этой группы ячеек.

Контроллер прямого доступа к памяти с байтовой организацией позволяет осуществлять загрузку и хранение данных и команд программы, используя пространство памяти с байтовой организацией. Внутренняя схема порта BDMA позволяет обращаться к пространству памяти с байтовой организацией при нормальной работе процессора с издержками в один цикл за переданное слово разрядностью 8, 16 или 24 бита.

### 1.3.5 Аналоговый интерфейс

Аналоговый интерфейс состоит из входных усилителей и сигма-дельта аналого-цифрового преобразователя (АЦП) разрядностью 16 бит, а также из сигма-дельта цифро-аналогового преобразователя (ЦАП) и выходных усилителей. Для управления аналоговой частью и для обмена данными между аналоговой частью и базовой архитектурой процессора используется набор отображенных в карте памяти регистров.

## 1.4 СИСТЕМА ПРОГРАММНО-АППАРАТНЫХ СРЕДСТВ ОТЛАДКИ ПРОЦЕССОРОВ СЕМЕЙСТВА ADSP-2100

Семейство ADSP-2100 поддерживается полным набором программных и аппаратных средств отладки. Система отладки процессоров семейства ADSP-2100 включает программные средства отладки, а также эмулятор и EZ-платы™ для устранения аппаратных неисправностей.

Программные средства отладки включают:

- *Построитель системы* - Построитель системы описывает архитектуру системы при отладке. Он определяет объем доступной внешней памяти ОЗУ/ПЗУ и отображенных в карте памяти портов ввода/вывода для разрабатываемых аппаратных средств, а также расположение памяти программы и данных.
- *Ассемблер* - Ассемблер компилирует исходный код и модули данных, а также поддерживает синтаксис высокого уровня набора команд. Кроме поддержки полной диагностики системы, ассемблер обеспечивает гибкую обработку макрокоманд, включаемых файлов и отладку модульной программы.

## 1 ВВЕДЕНИЕ

- *Редактор связей* - Редактор связей соединяет отдельно проасSEMBлированные модули. Он отображает скомпонованную программу и выходные данные в аппаратную часть разрабатываемой системы, как задается строителем системы.
- *Моделирующая программа (Симулятор)* - Симулятор выполняет моделирование конфигурации аппаратных средств, заданной строителем системы, на уровне команд в диалоговом режиме. Он выдает сообщение о некорректных операциях и поддерживает выполнение команд ассемблера.
- *Программа разбиения для ППЗУ (Сплиттер)* - Этот модуль считывает выходной код редактора связей и генерирует совместимые с программатором ППЗУ файлы.
- *Компилятор С* - Компилятор С считывает исходный файл С и выводит исходный код процессоров семейства ADSP-2100 готовым к ассемблированию. Он также поддерживает линейный код ассемблера.

Эмуляторы EZ-ICE<sup>®</sup> обеспечивают аппаратную отладку систем семейства ADSP-2100. Эмуляторы выполняют внутрисхемную эмуляцию, используя процессоры семейства ADSP-2100 в режиме самоэмуляции, с небольшими или нулевыми потерями рабочих характеристик процессора. Лабораторные платы EZ-LAB<sup>®</sup> - это дешевые базовые системы для оценки созданных приложений.

Дополнительную информацию о системе отладки можно найти в техническом описании "*ADSP-2100 Family Development Tools Data Sheet*".

### 1.5 СТРУКТУРА ДАННОГО ИЗДАНИЯ

Дальнейшая часть этого руководства организована следующим образом.

Главы 2, 3 и 4 посвящены описанию принципиальных функциональных характеристик архитектуры, общих для всех процессоров семейства ADSP-2100:

- В главе 2 "Вычислительные устройства" рассмотрены функции и внутреннее строение АЛУ, умножителя и устройства сдвига.
- В главе 3 "Управление программой" описывается программный автомат, контроллер прерывания и логическое устройство состояний
- В главе 4 "Передача данных" представлены генераторы адреса данных и устройство обмена данными между шинами ДПП и ДПД.

В главах 5, 6, 7 и 8 рассматриваются дополнительные функциональные устройства, которые могут входить в процессоры семейства ADSP-2100. (Список устройств, входящих в каждый процессор приведен в табл. 1.1).

- В главе 5 "Последовательные порты" описываются последовательные порты SPORT0 и SPORT1.
- В главе 6 "Таймер" объясняется функционирование и программирование таймера.
- В главе 7 "Порт интерфейса хост-машины" описывается функционирование ХИП, включая (дополнительную) начальную загрузку и запуск программного обеспечения.
- В главе 8 "Аналоговый интерфейс" рассматривается функционирование и внутренняя архитектура аналогового интерфейса процессоров семейства ADSP-2100.

## ВВЕДЕНИЕ 1

В главах 9 и 10 рассматривается поведение процессоров семейства ADSP-2100 с точки зрения внешней памяти и управляющей логики:

- В главе 9 "Интерфейс системы" обсуждаются вопросы синхронизации системы и описываются интерфейс управления процессором, функции перезагрузки программного обеспечения и режима пониженной потребляемой мощности.
- В главе 10 "Интерфейс памяти" рассматривается пространство памяти программ и данных. В этой главе описывается и внешняя, и внутренняя память, включая использование памяти начальной загрузки. Специальный раздел посвящен процессору ADSP-2181, так как его интерфейс памяти отличается от всех других процессоров этого семейства.
- Глава 11 "Порты прямого доступа к памяти" посвящена описанию работы портов IDMA и BDMA процессора ADSP-2181.
- В главе 12 "Программирование" дается функциональное описание ресурсов процессора - например регистров, по отношению к программному обеспечению.
- В главе 13 "Дополнительное аппаратное обеспечение" даются примеры систем, в которых используются процессоры семейства ADSP-2100. Каждый пример иллюстрирует решение определенных конструкторских задач, используя, при необходимости, блок-схемы, поясняющий текст и программы или временные диаграммы.
- В главе 14 "Программное обеспечение" предлагаются примеры программ для процессоров семейства ADSP-2100, которые могут быть использованы в некоторых важных алгоритмах цифровой обработки сигналов и других цифровых алгоритмов.
- В главе 15 "Набор команд" предлагается детальное описание каждой команды процессоров семейства ADSP-2100.

В Приложении приведены справочные материалы и дополнительная информация по следующим вопросам:

- В Приложение А "Коды команд" содержится полный набор кодов операций и определяется шаблон бит для выбора команд внутри каждого поля командного слова.
- В Приложении В "Исключения при делении" описывается знаковое и беззнаковое деление.
- В Приложении С "Форматы представления чисел" описываются форматы чисел с фиксированной точкой, поддерживаемые процессорами семейства ADSP-2100, обсуждаются арифметические операции с блочной плавающей точкой и рассказывается, как обращаться с результатами умножения для операндов различных форматов.
- В Приложении D "Адреса векторов прерывания" перечисляются вектора прерывания каждого процессора семейства.
- В Приложении E "Регистры управления/состояния" обобщается информация о расположении и содержимом всех регистров состояний и управления.